

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-023614

(43)Date of publication of application : 28.01.1992

(51)Int.Cl.

H03M 5/12
H04L 7/033
H04L 25/49

(21)Application number : 02-128734

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 18.05.1990

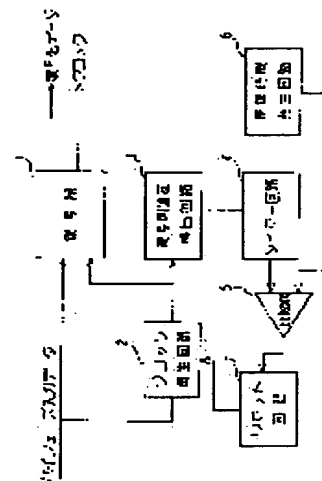
(72)Inventor : NEMOTO HIROFUMI

(54) DECODER

(57)Abstract:

PURPOSE: To always obtain a correct decoding data by discriminating it to be an abnormal clock in a clock recovery circuit when a decoding rule violation is detected for a prescribed time so as to use a reset circuit, thereby resetting the clock recovery circuit.

CONSTITUTION: The clock recovery circuit 2 extracts a clock frequency of a biphas input data and inputs it to a decoder 1 and a decoding rule violation detection circuit 3. When the clock recovery circuit 2 is locked at an abnormal frequency, since the biphas input data and a clock outputted from the clock recovery circuit 2 are not synchronized with each other, a decoding rule violation detection signal is outputted from the decoding rule violation detection circuit 3. A timer circuit 4 counts the output time of the decoding rule violation detection signal, compares it with a reference time and when the counted time is long, a reset instruction is outputted to a reset circuit 7. The reset circuit 7 resets the clock recovery circuit 2 to allow it to be locked at a correct frequency, thereby outputting a correct decoding data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-23614

⑮ Int.Cl.⁵

H 03 M 5/12
H 04 L 7/033
25/49

識別記号

庁内整理番号

7259-5 J

⑬ 公開 平成4年(1992)1月28日

E
F

8627-5K
8627-5K
8949-5K

H 04 L 7/02

B

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 復号装置

⑰ 特 願 平2-128734

⑱ 出 願 平2(1990)5月18日

⑲ 発 明 者 根 本 廣 文 神奈川県鎌倉市上町屋325番地 三菱電機株式会社鎌倉製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

復号装置

2. 特許請求の範囲

バイフエーズ入力データを復号化する復号器と、バイフエーズ入力データからフエイズ・ロックド・ループ回路によりクロックを再生するクロック再生回路と、バイフエーズ入力データの復号則の誤りを検出する復号則違反検出回路と、上記クロック再生回路をリセットするリセット回路と、上記復号則違反検出回路の検出信号の出力時間をカウントするタイマー回路と基準時間を発生する基準時間発生回路と、上記タイマー回路によりカウントされた時間と、上記基準時間発生回路からの基準時間を比較する比較器とを備えたことを特徴とする復号装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は光通信及びその他の通信における通信データの復号装置に関するものである。

(従来の技術)

第2図は従来の復号装置のブロック図であり、図において(1)はバイフエーズ入力データを復号化する復号器、(2)はバイフエーズ入力データからフエイズ・ロックド・ループ回路(以下、PLL回路と略す)によりクロックを再生するクロック再生回路である。

次に動作について説明する。第2図において、(2)のPLL回路を用いたクロック再生回路によりバイフエーズ入力データよりクロックを再生し、(1)の復号器へ入力することでバイフエーズ入力データを復号化することが出来る。

(発明が解決しようとする課題)

従来の復号装置は、以上のように構成されているので、PLL回路を使用したクロック再生回路がバイフエーズ入力データ以外の周波数で異常ロックした場合バイフエーズ入力データが正しく復号化出来ないという課題があつた。

この発明は上記のような課題を解消するためになされたもので、PLL回路を使用したクロック

再生回路が異常ロックしたことを検出出来るとともに、正しい復号化データを得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る復号装置は再生したクロックを復号器に入力し、得られた復号化データから、復号則違反を一定時間検出するとともに、PLL回路を用いたクロック再生回路の異常ロックを解除するようにしたものである。

〔作用〕

この発明における復号装置は、復号則違反を一定時間検出することにより、クロック再生回路の異常ロックと判断し、リセット回路によりクロック再生回路がリセットされ正常状態にて安定した復号化を行う。

〔実施例〕

以下、この発明の一実施例について説明する。第1図において、(1)はバイフェーズ入力データを復号化する復号器、(2)はバイフェーズ入力データからPLL回路によりクロックを再生するクロッ

クを出力し、(3)の復号則違反検出回路から復号則違反検出信号が出力される。この時、ある基準時間以上にわたって復号則違反検出信号が出力された時に、(2)のクロック再生回路が異常な周波数でロックしたと判断出来るため、(4)のタイマー回路にて(3)の復号則違反検出信号の出力時間をカウントし、(6)の基準時間発生回路からの基準時間と、(4)のタイマー回路にてカウントした時間とを(5)の比較にて比較し、(4)のタイマー回路にてカウントした時間が長ければ、(7)のリセット回路にリセット指示を出力する。

(7)のリセット回路は(5)のリセット回路からのリセット指示により、(2)のクロック再生回路をリセットし、正しい周波数でロックさせることにより(1)の復号器は再び正しい復号化データを出力することが出来る。

〔発明の効果〕

以上のように、この発明によれば、バイフェーズ入力データと、同期しない異常なクロック周波数で、クロック再生回路がロックした場合でも復

号再生回路、(3)は(1)の復号器の復号則の誤りを検出する復号則違反検出回路、(4)は(3)の復号則違反検出回路の検出信号の出力時間をカウントするタイマー回路、(5)は(4)のタイマー回路でカウントされた時間と、基準時間とを比較する比較器、(6)は基準時間発生回路、(7)は(5)の比較器の出力信号により、(2)のクロック再生回路をリセットするリセット回路である。

第1図において、バイフェーズ入力データは、(1)の復号器と、(2)のクロック再生回路に入力される。(2)のクロック再生回路においてバイフェーズ入力データのクロック周波数を抽出し、クロックを(1)の復号器と、(3)の復号則違反検出回路に入力される。この時、(2)のクロック再生回路が正常な周波数でロックされると、(1)の復号器により正しい復号化データを出力する事が出来る。

ここで、(2)のクロック再生回路が異常な周波数でロックされると、バイフェーズ入力データと、(2)のクロック再生回路から出力されたクロックとが同期しないため(1)の復号器が誤った復号化デー

タを出力し、(3)の復号則違反検出回路から復号則違反検出信号が出力される。この時、ある基準時間以上にわたって復号則違反検出信号が出力された時に、(2)のクロック再生回路が異常な周波数でロックしたと判断出来るため、(4)のタイマー回路にて(3)の復号則違反検出信号の出力時間をカウントし、(6)の基準時間発生回路からの基準時間と、(4)のタイマー回路にてカウントした時間とを(5)の比較にて比較し、(4)のタイマー回路にてカウントした時間が長ければ、(7)のリセット回路にリセット指示を出力する。

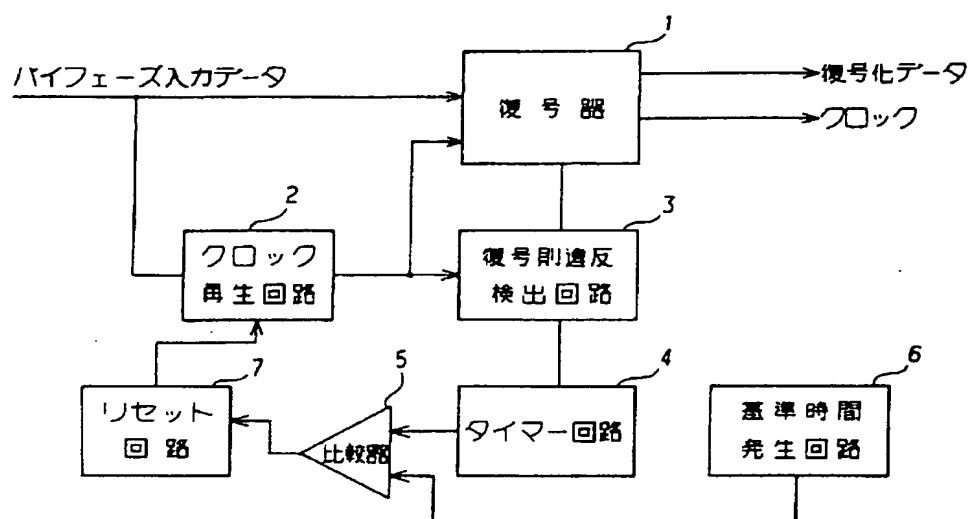
4. 図面の簡単な説明

第1図はこの発明の一実施例による復号装置を示すブロック図であり、第2図は従来の復号装置を示すブロック図である。

(1)は復号器、(2)はクロック再生回路、(3)は復号則違反検出回路、(4)はタイマー回路、(5)は比較器、(6)は基準時間発生回路、(7)はリセット回路である。なお、図中同一符号は同一又は相当部分を示す。

代理人 大 岩 増 雄

第 1 図



第 2 図

